

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217411

(P2002-217411A)

(43) 公開日 平成14年8月2日 (2002.8.2)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームト\* (参考)

H 0 1 L 29/78  
21/8238  
27/092  
21/336

H 0 1 L 29/78  
27/08  
  
29/78

3 0 1 C 5 F 0 4 0  
3 2 1 E 5 F 0 4 8  
3 2 1 F  
3 2 1 D  
3 0 1 L

審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く

(21) 出願番号

特願2001-8394(P2001-8394)

(22) 出願日

平成13年1月17日 (2001.1.17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 米持 泰明

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 西田 彰男

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

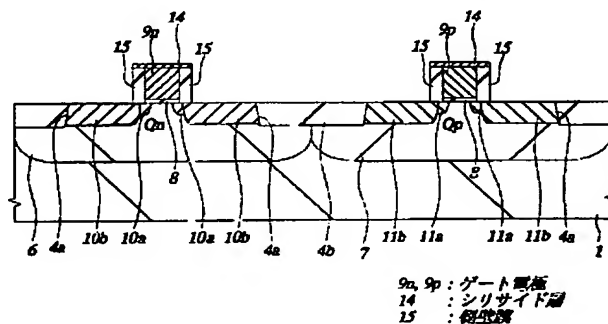
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ゲート長が $0.15\mu\text{m}$ 以下の短チャネルMISFETを有する半導体装置の高信頼度化および高速化を実現することのできる技術を提供する。

【解決手段】 ゲート電極 $9n$ 、 $9p$ を構成する多結晶シリコン膜上に自己整合シリサイド法で形成したシリサイド層 $14$ をマスクとして酸化シリコン膜をエッチングし、ゲート電極 $9n$ 、 $9p$ の側壁に、酸化シリコン膜からなる側壁膜 $15$ を形成した後、第2の $n$ 型半導体領域 $10b$ および第2の $p$ 型半導体領域 $11b$ を形成する。

図 10



## 【特許請求の範囲】

【請求項1】 (a) 半導体基板の主面上に形成されたゲート電極をマスクとして不純物をイオン注入し、前記ゲート電極の両側の前記半導体基板に相対的に低濃度な第1半導体領域を形成する工程と、(b) 前記半導体基板上に絶縁膜を堆積した後、前記絶縁膜を研磨して前記ゲート電極の上面を露出させる工程と、(c) 前記ゲート電極の露出した上面に、ゲート長よりも相対的に幅の大きいシリサイド層を形成する工程と、(d) 前記シリサイド層をマスクとして前記絶縁膜をエッチングし、前記ゲート電極の側壁に前記絶縁膜からなる側壁膜を形成する工程と、(e) 前記ゲート電極および前記側壁膜をマスクとして不純物をイオン注入し、前記側壁膜の両側の前記半導体基板に相対的に高濃度な第2半導体領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 (a) 半導体基板の主面上に形成された擬似ゲート電極をマスクとして不純物をイオン注入し、前記擬似ゲート電極の両側の前記半導体基板に相対的に低濃度な第1半導体領域を形成する工程と、(b) 前記半導体基板上に第1絶縁膜を堆積した後、前記第1絶縁膜を研磨して前記擬似ゲート電極の上面を露出させる工程と、(c) 前記擬似ゲート電極を除去して溝を形成し、さらに前記溝の底の前記半導体基板を露出させる工程と、(d) 前記半導体基板上に第2絶縁膜および多結晶シリコン膜を順次形成した後、前記溝の内部以外の前記第2絶縁膜および前記多結晶シリコン膜を除去することにより、前記溝の内部に前記第2絶縁膜からなるゲート絶縁膜および前記多結晶シリコン膜からなるゲート電極を形成する工程と、(e) 前記ゲート電極の露出した上面に、ゲート長よりも相対的に幅の大きいシリサイド層を形成する工程と、(f) 前記シリサイド層をマスクとして前記絶縁膜をエッチングし、前記ゲート電極の側壁に前記絶縁膜からなる側壁膜を形成する工程と、

(g) 前記ゲート電極および前記側壁膜をマスクとして不純物をイオン注入し、前記側壁膜の両側の前記半導体基板に相対的に高濃度な第2半導体領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 (a) 半導体基板の主面上に形成されたゲート電極をマスクとして不純物をイオン注入し、前記ゲート電極の両側の前記半導体基板に相対的に低濃度な第1半導体領域を形成する工程と、(b) 前記半導体基板上に絶縁膜を堆積した後、前記絶縁膜を研磨して前記ゲート電極の上面を露出させる工程と、(c) 前記ゲート電極の露出した上面に、選択エピタキシャル成長法でゲート長よりも相対的に幅の大きいシリコン膜を形成する工程と、(d) 前記シリコン膜の表面にシリサイド層を形成する工程と、(e) 前記シリサイド層をマスクとして前記絶縁膜をエッチングし、前記ゲート電極の側壁に前記絶縁膜からなる側壁膜を形成する工程と、(f)

前記ゲート電極および前記側壁膜をマスクとして不純物をイオン注入し、前記側壁膜の両側の前記半導体基板に相対的に高濃度な第2半導体領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 (a) 半導体基板の主面上に形成されたゲート電極をマスクとして不純物をイオン注入し、前記ゲート電極の両側の前記半導体基板に相対的に低濃度な第1半導体領域を形成する工程と、(b) 前記半導体基板上に相対的に薄い第1絶縁膜および相対的に厚い第2絶縁膜を順次堆積した後、前記第2絶縁膜および前記第1絶縁膜を研磨して前記ゲート電極の上面を露出させる工程と、(c) 前記ゲート電極の側壁に露出した前記第1絶縁膜の一部を除去する工程と、(d) 前記ゲート電極の露出した表面に、選択エピタキシャル成長法でシリコン膜を形成した後、前記第2絶縁膜を除去する工程と、(e) 前記シリコン膜の表面にシリサイド層を形成する工程と、(f) 前記シリサイド層をマスクとして前記第1絶縁膜をエッチングし、前記ゲート電極の側壁に前記第1絶縁膜からなる側壁膜を形成する工程と、

(g) 前記ゲート電極および前記側壁膜をマスクとして不純物をイオン注入し、前記側壁膜の両側の前記半導体基板に相対的に高濃度な第2半導体領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 (a) 半導体基板の主面上にn型の導電性を示す第1ゲート電極とp型の導電性を示す第2ゲート電極とを形成した後、前記第1ゲート電極をマスクとして不純物をイオン注入し、前記第1ゲート電極の両側の前記半導体基板に相対的に低濃度な第1n型半導体領域を形成し、さらに前記第2ゲート電極をマスクとして不純物をイオン注入し、前記第2ゲート電極の両側の前記半導体基板に相対的に低濃度な第1p型半導体領域を形成する工程と、(b) 前記半導体基板上に絶縁膜を堆積した後、前記絶縁膜を研磨して前記第1ゲート電極および前記第2ゲート電極の上面を露出させる工程と、

(c) 前記第1ゲート電極および前記第2ゲート電極の露出した上面に、ゲート長よりも相対的に幅の大きいシリサイド層を形成する工程と、(d) 前記シリサイド層をマスクとして前記絶縁膜をエッチングして、前記第1ゲート電極の側壁に前記絶縁膜からなる第1側壁膜を形成し、同時に前記第2ゲート電極の側壁に前記絶縁膜からなる第2側壁膜を形成する工程と、(e) 前記第1ゲート電極および前記第1側壁膜をマスクとして不純物をイオン注入し、前記第1側壁膜の両側の前記半導体基板に相対的に高濃度な第2n型半導体領域を形成し、さらに前記第2ゲート電極および前記第2側壁膜をマスクとして不純物をイオン注入し、前記第2側壁膜の両側の前記半導体基板に相対的に高濃度な第2p型半導体領域を形成する工程とを有し、

前記第2側壁膜の幅が前記第1側壁膜の幅と比べて相対的に大きいことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関し、特に、ゲート長が $0.15\mu\text{m}$ 以下の短チャネルMISFET (Metal Insulator Semiconductor Field Effect Transistor) を有する半導体装置に適用して有効な技術に関する。

## 【0002】

【従来の技術】半導体装置の高集積化が進むにつれて、MISFETはスケリング則に従い微細化されるが、ゲート電極の幅（以下、ゲート長と称す）が短くなるにつれて、パンチスルーまたはソース・ドレイン間耐圧の低下などの短チャネル効果が顕著となる。そこで、たとえば $1\mu\text{m}$ 以下のゲート長を有する短チャネルMISFETにおいては、ソース・ドレインの一部を構成する低濃度半導体領域が、チャネル方向に向かってソース・ドレインの他の一部を構成する高濃度半導体領域よりも広がったLDD (Lightly Doped Drain) 構造を用いることにより、高耐圧化が図られている。低濃度半導体領域は、ゲート電極をマスクとした不純物のイオン注入で形成され、高濃度半導体領域は、ゲート電極およびゲート電極の側壁に形成される側壁膜をマスクとした不純物のイオン注入で形成される。低濃度半導体領域は、高耐圧化およびホットキャリアの発生制御に大きな効果をもっており、またゲート電極の側壁に形成される側壁膜によって、ソース・ドレイン方向における低濃度半導体領域と高濃度半導体領域との拡散深さの差を厳密に制御することができる。

【0003】さらに、MISFETの微細化に伴ってゲート電極の抵抗が増大し、MISFETを微細化しても高速動作が得られないという問題が生じている。そこで、たとえば $0.2\mu\text{m}$ 以下のゲート長を有するMISFETにおいては、ゲート電極を構成する導電膜の表面に自己整合で低抵抗のシリサイド層、たとえばコバルト (Co) シリサイドまたはチタン (Ti) シリサイドを形成することにより、ゲート電極を低抵抗化するシリサイド技術が検討されている。

【0004】なお、LDD構造のMISFETについては、たとえばIEEE Transactions on Electron Devices, ED-27 (1980) p 1359、またはVLSI SYMPOSIUM 1985 p 116などに示されている。また、シリサイド層を備えたMISFETについては、たとえば特開平9-23003号公報、または特開平5-326552号公報などに記載されている。

## 【0005】

【発明が解決しようとする課題】LDD構造のMISFETでは、ゲート電極上に絶縁膜を形成した後、たとえばRIE (Reactive Ion Etching) 法で異方性エッチングして、ゲート電極の側壁に上記絶縁膜からなる側壁膜

が形成される。しかし、本発明者が検討したところ、半導体装置の高集積化に伴ったMISFETの微細化では、MISFETのゲート長の縮小と共に、ゲート電極の厚さも縮小されるため、上記側壁膜の幅が設定値よりも短くなる、側壁膜の幅がばらつく、または側壁膜の厚さが薄くなり側壁膜を突き抜けて不純物がイオン注入されるなどの問題が生ずることが明らかとなった。このため、ゲート電極と側壁膜をマスクとしたイオン注入で高濃度半導体領域を形成しても、チャネル方向に拡散した高濃度半導体領域が低濃度半導体領域の端部まで達し、ゲート長が $0.15\mu\text{m}$ 以下のMISFETでは、低濃度半導体領域と高濃度半導体領域との明確な区別がなくなり、LDD構造を用いても短チャネル効果を抑制することが難しいことが考えられた。

【0006】さらに、前記シリサイド技術では、MISFETのゲート電極の細線化に伴いシート抵抗が上昇する、いわゆる細線効果が生ずる。細線効果の原因の一つに、凝縮によるシリサイド粒界での断線があり、これはたとえば、ゲート長が短くなると断線部分がゲート電極を横切り、シリサイド層の下地に位置する多結晶シリコン膜の抵抗が支配的となるなどによって、ゲート電極の抵抗が増加するものである。このシリサイド粒界での断線は、たとえばシリサイド層に施される熱処理を抑えることによって凝縮を抑制することは可能ではあるが、ゲート長が $0.15\mu\text{m}$ 以下のゲート電極では、完全に断線を防ぐことはできないことを本発明者は見いだした。

【0007】本発明の目的は、ゲート長が $0.15\mu\text{m}$ 以下の短チャネルMISFETを有する半導体装置の高信頼度化および高速化を実現することのできる技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】本発明の半導体装置の製造方法は、半導体基板の主面上に形成されたゲート電極をマスクとして不純物をイオン注入し、ゲート電極の両側の半導体基板に低濃度半導体領域を形成する工程と、半導体基板上に絶縁膜を堆積した後、絶縁膜を研磨してゲート電極の上面を露出させる工程と、ゲート電極の露出した上面に、自己整合法でゲート長よりも相対的に幅の大きいシリサイド層を形成する工程と、シリサイド層をマスクとして絶縁膜をエッチングし、ゲート電極の側壁に絶縁膜からなる側壁膜を形成する工程と、ゲート電極および側壁膜をマスクとして不純物をイオン注入し、側壁膜の両側の半導体基板に高濃度半導体領域を形成する工程とを有するものである。

【0011】上記した手段によれば、MISFETのゲート電極の側壁に設けられる側壁膜は、ゲート電極上に形成されたゲート電極のゲート長よりも幅の大きいシリサイド層をマスクとしたエッチングで形成されるため、幅にばらつきが少なく、かつ常に厚く形成することが可能である。これによって、ゲート電極をマスクとしたイオン注入と、ゲート電極および側壁膜をマスクとしたイオン注入との打ち分けが明確となり、所望する濃度分布を有する低濃度半導体領域と高濃度半導体領域とからなるソース・ドレインを形成することができ、MISFETの短チャネル効果を抑制することが可能となる。

【0012】さらに、上記シリサイド層の幅はMISFETのゲート電極のゲート長よりも相対的に大きいことから、細線効果によるシリサイド層のシート抵抗の増加を抑制することが可能となる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0014】（実施の形態1）本発明の一実施の形態であるCMOS（Complementary Metal Oxide Semiconductor）デバイスの製造方法を図1～図12に示したゲート長方向の半導体基板の要部断面図を用いて説明する。図中、Qnはnチャネル型MISFET、Qpはpチャネル型MISFETである。

【0015】まず、図1に示すように、たとえばp型の単結晶シリコンからなる半導体基板1を用意する。次に、この半導体基板1を熱酸化してその表面に厚さ0.01 $\mu$ m程度の薄い酸化シリコン膜2を形成し、次いでその上層にCVD（Chemical Vapor Deposition）法で厚さ0.1 $\mu$ m程度の窒化シリコン膜3を堆積する。

【0016】この後、図2に示すように、レジストパターンをマスクとして窒化シリコン膜3、酸化シリコン膜2および半導体基板1を順次ドライエッチングすることにより、素子分離領域の半導体基板1に深さ0.35 $\mu$ m程度の素子分離溝4aを形成する。

【0017】次に、図3に示すように、半導体基板1上にCVD法で酸化シリコン膜4bを堆積した後、図4に示すように、酸化シリコン膜4bをCMP（Chemical Mechanical Polishing）法で研磨して、素子分離溝4aの内部に酸化シリコン膜4bを残すことにより素子分離領域を形成する。続いて、半導体基板1を約1000℃でアニールすることにより、素子分離溝4aに埋め込んだ酸化シリコン膜4bをデンシファイ（焼き締め）する。

【0018】次に、図5に示すように、熱リン酸を用いて窒化シリコン膜3を除去し、続いてフッ酸系の水溶液を用いて酸化シリコン膜2を除去した後、半導体基板1を熱酸化して、半導体基板1の表面に保護膜5を形成す

る。次いで、半導体基板1のnチャネル型MISFET Qnの形成領域にp型ウェル6を形成するためのボロン（B）をイオン注入し、pチャネル型MISFET Qpの形成領域にn型ウェル7を形成するためのリン（P）をイオン注入する。

【0019】次に、図6に示すように、保護膜5を除去した後、半導体基板1を熱酸化して、p型ウェル6およびn型ウェル7のそれぞれの表面にゲート絶縁膜8を4nm程度の厚さで形成する。次いで、図示はしないが、200nm程度の厚さのアモルファスシリコン膜をCVD法で半導体基板1上に堆積した後、nチャネル型MISFET Qnの形成領域のアモルファスシリコン膜にn型不純物、たとえばリンをイオン注入し、pチャネル型MISFET Qpの形成領域のアモルファスシリコン膜にp型不純物、たとえばボロンをイオン注入する。

【0020】続いて、半導体基板1に、たとえば950℃、60秒程度の熱処理を施して、上記n型不純物およびp型不純物を活性化させ、さらにnチャネル型MISFET Qnの形成領域のアモルファスシリコン膜をn型多結晶シリコン膜に、pチャネル型MISFET Qpの形成領域のアモルファスシリコン膜をp型多結晶シリコン膜に変える。

【0021】その後、これら多結晶シリコン膜をレジストパターンをマスクとしてエッチングして、nチャネル型MISFET Qnの形成領域にゲート長0.1～0.12 $\mu$ m程度のゲート電極9nおよびpチャネル型MISFET Qpの形成領域にゲート長0.1～0.12 $\mu$ m程度のゲート電極9pを形成する。この後、半導体基板1に、たとえば800℃のドライ酸化処理を施す。

【0022】次に、n型ウェル7をレジスト膜（図示せず）で覆った後、nチャネル型MISFET Qnのゲート電極9nをマスクとしてp型ウェル6にn型不純物、たとえばヒ素（As）をイオン注入し、nチャネル型MISFET Qnのソース・ドレインの一部を構成する相対的に低濃度な第1のn型半導体領域10aを形成する。上記ヒ素は、たとえば注入エネルギー5keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ で注入する。同様に、p型ウェル6をレジスト膜（図示せず）で覆った後、pチャネル型MISFET Qpのゲート電極9pをマスクとしてn型ウェル7にp型不純物、たとえばフッ化ボロン（BF<sub>3</sub>）をイオン注入し、pチャネル型MISFET Qpのソース・ドレインの一部を構成する相対的に低濃度な第1のp型半導体領域11aを形成する。上記フッ化ボロンは、たとえば注入エネルギー5keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ で注入する。

【0023】次に、図7に示すように、半導体基板1上に約200nm以上の厚さの酸化シリコン膜12をCVD法で堆積した後、図8に示すように、ゲート電極9n、9pを構成する多結晶シリコン膜の上面が露出するまで酸化シリコン膜12の表面をCMP法で研磨する。

【0024】次に、図9に示すように、酸化シリコン膜12の上層に、たとえば10nm程度の厚さのコバルト膜13をスパッタリング法で堆積した後、500～600℃程度の熱処理を60秒程度半導体基板1に施して、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pの表面に選択的に厚さ30nm程度のシリサイド層14を形成する。ここで、シリサイド層14の幅Lsは、たとえば0.25μm程度であり、ゲート長Lgよりも大きくなる。

【0025】この後、図10に示すように、ウェットエッチングで未反応のコバルト膜13を除去した後、シリサイド層14をマスクとして酸化シリコン膜12をエッチングして、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pのそれぞれの側壁に、酸化シリコン膜12からなる側壁膜15を形成する。上記側壁膜15の幅は、たとえば70nm程度である。

【0026】さらに、n型ウェル7をレジスト膜（図示せず）で覆った後、nチャネル型MISFETQnのゲート電極9nおよび側壁膜15をマスクとしてp型ウェル6にn型不純物、たとえばヒ素をイオン注入し、nチャネル型MISFETQnのソース・ドレインの他の一部を構成する相対的に高濃度な第2のn型半導体領域10bを形成する。上記ヒ素は、たとえば注入エネルギー40keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ で注入する。同様に、p型ウェル6をレジスト膜（図示せず）で覆った後、pチャネル型MISFETQpのゲート電極9pおよび側壁膜15をマスクとしてn型ウェル7にp型不純物、たとえばフッ化ボロンをイオン注入し、pチャネル型MISFETQpのソース・ドレインの他の一部を構成する相対的に高濃度な第2のp型半導体領域11bを形成する。上記フッ化ボロンは、たとえば注入エネルギー20keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ で注入する。

【0027】次に、図11に示すように、図示はしないが、たとえば厚さ10nm程度のコバルト膜をスパッタリング法で半導体基板1上に堆積した後、500～600℃程度の熱処理を60秒程度半導体基板1に施して、nチャネル型MISFETQnの第2のn型半導体領域10bの表面と、pチャネル型MISFETQpの第2のn型半導体領域11bの表面とに選択的に厚さ30nm程度のシリサイド層16を形成する。この際、nチャネル型MISFETQnのゲート電極9nの表面のシリサイド層14上にもシリサイド層が形成されて、上記ゲート電極9n上には厚さ50～60nm程度のシリサイド層16aが形成される。同様に、pチャネル型MISFETQpのゲート電極9pの表面のシリサイド層14上にもシリサイド層が形成されて、上記ゲート電極9p上には厚さ50～60nm程度のシリサイド層16aが形成される。

【0028】この後、半導体基板1に700～800℃程度の熱処理を90秒程度施して、シリサイド層16、16aの低抵抗化および半導体基板1に注入したn型不純物およびp型不純物の活性化を行う。

【0029】次に、図12に示すように、半導体基板1上に層間絶縁膜17を形成した後、レジストパターンをマスクとして層間絶縁膜17をエッチングし、nチャネル型MISFETQnのシリサイド層16に達するコンタクトホール18n、およびpチャネル型MISFETQpのシリサイド層16に達するコンタクトホール18pを開孔する。なお、図示はしないが、nチャネル型MISFETQnのゲート電極9n上のシリサイド層16aおよびpチャネル型MISFETQpのゲート電極9p上のシリサイド層16aに達するコンタクトホールも同時に形成される。

【0030】次いで、層間絶縁膜17の上層に金属膜（図示せず）、たとえばタングステン（W）膜を堆積し、たとえばCMP法でこの金属膜の表面を平坦化することによって上記コンタクトホール18n、18pの内部に金属膜を埋め込みプラグ19を形成する。その後、層間絶縁膜17の上層に堆積した金属膜をエッチングして配線層20を形成することにより、本実施の形態1のCMOSデバイスが略完成する。図13（a）は、nチャネル型MISFETQnを示す要部平面図、（b）は、（a）のA-A'線におけるゲート幅方向の要部断面図、（c）は、（a）のB-B'線におけるゲート長方向の要部断面図である。なお、必要に応じて配線層20の上層に多層配線を形成してもよい。

【0031】このように、本実施の形態1によれば、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pの側壁に設けられる側壁膜15は、ゲート電極9n、9p上のシリサイド層14をマスクとしたエッチングで形成されるため、幅にばらつきが少なく、かつ常に厚く形成することが可能である。これによって、ゲート電極9n、9pをマスクとしたイオン注入と、ゲート電極9n、9pおよび側壁膜15をマスクとしたイオン注入との打ち分けが明確となり、所望する濃度分布を有するソース・ドレイン（nチャネル型MISFETQnでは、第1のn型半導体領域10aと第2のn型半導体領域10b、pチャネル型MISFETQpでは、第1のp型半導体領域11aと第2のp型半導体領域11b）を得ることで、短チャネル効果を抑制することが可能となる。

【0032】さらに、ゲート電極9n、9pのゲート長よりもシリサイド層14、16aの幅を相対的に大きくできるため、ゲート長が0.15μm以下のMISFETにおいても細線効果によるシリサイド層16aのシート抵抗の増加を抑制することが可能となる。

【0033】（実施の形態2）本発明の他の実施の形態であるCMOSデバイスの製造方法を図14～図24を

用いて説明する。

【0034】まず、前記実施の形態1において前記図1～図5を用いて説明した製造方法と同様に、半導体基板1に素子分離領域を形成し、nチャネル型MISFETQnの形成領域にp型ウェル6を形成し、pチャネル型MISFETQpの形成領域にn型ウェル7を形成する。

【0035】次に、図14に示すように、半導体基板1上に堆積した厚さ200nm程度のダミー膜（図示せず）をレジストパターンをマスクとしてエッチングして、nチャネル型MISFETQnの形成領域にゲート長0.1～0.12μm程度の擬ゲート電極21nおよびpチャネル型MISFETQpの形成領域にゲート長0.1～0.12μm程度の擬ゲート電極21pを形成する。上記ダミー膜は、後の工程で擬ゲート電極21n、21pの上に堆積される絶縁膜（ここでは、酸化シリコン膜）に対してエッチング選択比を大きくとれる絶縁膜または導電膜であればよく、たとえば窒化シリコン膜または多結晶シリコン膜などを例示することができる。

【0036】次に、n型ウェル7をレジスト膜（図示せず）で覆った後、nチャネル型MISFETQnの擬ゲート電極21nをマスクとしてp型ウェル6にn型不純物、たとえばヒ素をイオン注入し、nチャネル型MISFETQnのソース・ドレインの一部を構成する相対的に低濃度な第1のn型半導体領域10aを形成する。同様に、p型ウェル6をレジスト膜（図示せず）で覆った後、pチャネル型MISFETQpの擬ゲート電極21pをマスクとしてn型ウェル7にp型不純物、たとえばフッ化ボロンをイオン注入し、pチャネル型MISFETQpのソース・ドレインの一部を構成する相対的に低濃度な第1のp型半導体領域11aを形成する。

【0037】次に、図15に示すように、半導体基板1上に約200nm以上の厚さの酸化シリコン膜12をCVD法で堆積した後、図16に示すように、擬ゲート電極21n、21pを構成するダミー膜の表面が露出するまで酸化シリコン膜12の表面をCMP法で研磨する。

【0038】次に、図17に示すように、擬ゲート電極21n、21pおよび保護膜5を除去して溝22を形成した後、図18に示すように、半導体基板1上にゲート絶縁膜23を形成する。このゲート絶縁膜23は、酸化シリコン膜の他、たとえば窒化シリコン、酸化タンタル( $\text{Ta}_2\text{O}_5$ )またはBST( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ )などの高誘電体材料とすることができる。

【0039】次に、図19に示すように、n形不純物、たとえばリンが導入された約200nm以上の厚さの多結晶シリコン膜24をCVD法で半導体基板1上に堆積して、溝22の内部を埋め込んだ後、図20に示すように、溝22の外部のゲート絶縁膜23および多結晶シリ

コン膜24をCMP法で研磨することによって、溝22の内部にゲート絶縁膜23および多結晶シリコン膜24を残す。これにより、多結晶シリコン膜24で構成されるnチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pが形成される。

【0040】その後の工程は、前記実施の形態1と同じである。すなわち、図21に示すように、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pの上面に厚さが30nm程度、幅Lsが0.25μm程度のシリサイド層14を形成する。

【0041】次いで、図22に示すように、ウェットエッチングで未反応のコバルト膜13を除去した後、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pのそれぞれの側壁に、幅が70nm程度の側壁膜15を形成する。さらに、nチャネル型MISFETQnのソース・ドレインの他の一部を構成する相対的に高濃度な第2のn型半導体領域10bおよびpチャネル型MISFETQpのソース・ドレインの他の一部を構成する相対的に高濃度な第2のp型半導体領域11bを形成する。

【0042】次に、図23に示すように、nチャネル型MISFETQnの第2のn型半導体領域10bの表面およびpチャネル型MISFETQpの第2のn型半導体領域11bの表面に厚さ30nm程度のシリサイド層16を形成し、nチャネル型MISFETQnのゲート電極9nの表面およびpチャネル型MISFETQpのゲート電極9pの表面にシリサイド層16aを形成する。

【0043】この後、図24に示すように、半導体基板1上に形成した層間絶縁膜17に、nチャネル型MISFETQnのシリサイド層16に達するコンタクトホール18nおよびpチャネル型MISFETQpのシリサイド層16に達するコンタクトホール18pを開孔し、次いで、コンタクトホール18n、18pの内部に金属膜を埋め込みプラグ19を形成した後、層間絶縁膜17の上層に堆積した金属膜をエッチングして配線層20を形成することにより、本実施の形態2のCMOSデバイスが略完成する。

【0044】このように、本実施の形態2によれば、ゲート絶縁膜23を窒化シリコン、酸化タンタルまたはBSTなどの高誘電体材料とすることができて、ゲート容量を相対的に高くすることが可能となる。これにより、ドレイン電流を増加させてnチャネル型MISFETQnおよびpチャネル型MISFETQpの電流駆動能力を改善することができる。

【0045】（実施の形態3）本発明の他の実施の形態であるCMOSデバイスの製造方法を図25～図29を用いて説明する。

【0046】まず、前記実施の形態1において前記図1～図8を用いて説明した製造方法と同様に、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pを形成した後、その周辺を酸化シリコン膜12で埋める。

【0047】次に、図25に示すように、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pを構成する多結晶シリコン膜上に選択エピタキシャル成長法で厚さ30～50nm程度のシリコン層25を形成する。シリコン層25の幅Lcは、たとえば0.2～0.25 $\mu$ m程度であり、ゲート長Lg(0.1～0.12 $\mu$ m)よりも大きくなる。

【0048】この後、図26に示すように、酸化シリコン膜12の上層に、たとえば10nm程度のコバルト膜をスパッタリング法で堆積した後、500～600℃程度の熱処理を60秒程度半導体基板1に施して、シリコン層25の表面に選択的に厚さ30nm程度のシリサイド層26を形成し、次いでウェットエッチングで未反応のコバルト膜を除去する。

【0049】次に、図27に示すように、シリサイド層26をマスクとして酸化シリコン膜12をエッチングして、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pのそれぞれの側壁に、酸化シリコン膜12からなる側壁膜15を形成する。上記側壁膜15の幅は、たとえば70nm程度である。

【0050】その後の工程は、前記実施の形態1と同じである。すなわち、nチャネル型MISFETQnのソース・ドレインの他の一部を構成する相対的に高濃度な第2のn型半導体領域10bおよびpチャネル型MISFETQpのソース・ドレインの他の一部を構成する相対的に高濃度な第2のp型半導体領域11bを形成する。

【0051】次に、図28に示すように、nチャネル型MISFETQnの第2のn型半導体領域10bの表面およびpチャネル型MISFETQpの第2のn型半導体領域11bの表面に厚さ30nm程度のシリサイド層16を形成し、nチャネル型MISFETQnのゲート電極9nの表面およびpチャネル型MISFETQpのゲート電極9pの表面にシリサイド層16aを形成する。

【0052】この後、図29に示すように、半導体基板1上に形成した層間絶縁膜17に、nチャネル型MISFETQnのシリサイド層16に達するコンタクトホール18nおよびpチャネル型MISFETQpのシリサイド層16に達するコンタクトホール18pを開孔し、次いで、コンタクトホール18n、18pの内部に金属膜を埋め込みプラグ19を形成した後、層間絶縁膜17の上層に堆積した金属膜をエッチングして配線層20を

形成することにより、本実施の形態3のCMOSデバイスが略完成する。

【0053】このように、本実施の形態3によれば、選択エピタキシャル成長法によって、ゲート電極9n、9pを構成する多結晶シリコン膜上にシリコン層25を形成した後に、シリコン層25の表面にシリサイド層26を形成するので、ゲート電極9n、9pのゲート長よりもシリサイド層26の幅を相対的に大きくすることができる。これにより、細線効果によるシリサイド層26のシート抵抗の増加を抑制することが可能となる。

【0054】(実施の形態4) 本発明の他の実施の形態であるCMOSデバイスの製造方法を図30～図39を用いて説明する。

【0055】まず、前記実施の形態1において前記図1～図6を用いて説明した製造方法と同様に、半導体基板1に素子分離領域を形成し、p型ウェル6にnチャネル型MISFETQnのゲート電極9nおよびソース・ドレインの一部を構成する第1のn型半導体領域10aを形成し、n型ウェル7にpチャネル型MISFETQpのゲート電極9pおよびソース・ドレインの一部を構成する第1のp型半導体領域11aを形成する。

【0056】次に、図30に示すように、半導体基板1上に20～30nm程度の厚さの絶縁膜、たとえば窒化シリコン膜27をCVD法で堆積し、続いて図31に示すように、半導体基板1上に約200nm以上の厚さの酸化シリコン膜12をCVD法で堆積する。

【0057】その後、図32に示すように、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pを構成する多結晶シリコン膜の上面が露出するまで酸化シリコン膜12および窒化シリコン膜27の表面をCMP法で研磨する。

【0058】次に、図33に示すように、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pのそれぞれの側壁に位置する窒化シリコン膜27の上部をドライエッチングまたはウェットエッチングで除去することにより、ゲート電極9n、ゲート電極9pを構成する多結晶シリコン膜の一部を露出させる。この際、ゲート電極9n、ゲート電極9pのそれぞれの側壁に位置する窒化シリコン膜27を全て除去せず、ゲート電極9n、ゲート電極9pの高さの約1/2程度に相当する窒化シリコン膜27を残すのが好ましい。

【0059】その後、図34に示すように、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pを構成する多結晶シリコン膜の露出した表面に選択エピタキシャル成長法でシリコン層28を形成する。

【0060】次に、図35に示すように、酸化シリコン膜12を除去した後、図36に示すように、半導体基板1上に、たとえば厚さ10nm程度のコバルト膜13を

スパッタリング法で堆積した後、500～600℃程度の熱処理を60秒程度半導体基板1に施して、シリコン層28の表面に選択的に厚さ30nm程度のシリサイド層29を形成し、続いてウェットエッチングで未反応のコバルト膜を除去する。

【0061】次いで、図37に示すように、シリサイド層29をマスクとして窒化シリコン膜27をエッチングし、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pのそれぞれの側壁の下部に、窒化シリコン膜27を残す。

【0062】その後の工程は、前記実施の形態1と同じである。すなわち、nチャネル型MISFETQnのソース・ドレインの他の一部を構成する相対的に高濃度な第2のn型半導体領域10bおよびpチャネル型MISFETQpのソース・ドレインの他の一部を構成する相対的に高濃度な第2のp型半導体領域11bを形成する。

【0063】次に、図38に示すように、nチャネル型MISFETQnの第2のn型半導体領域10bの表面およびpチャネル型MISFETQpの第2のn型半導体領域11bの表面に厚さ30nm程度のシリサイド層16を形成し、nチャネル型MISFETQnのゲート電極9nの表面およびpチャネル型MISFETQpのゲート電極9pの表面にシリサイド層16aを形成する。

【0064】この後、図39に示すように、半導体基板1上に形成した層間絶縁膜17に、nチャネル型MISFETQnのシリサイド層16に達するコンタクトホール18nおよびpチャネル型MISFETQpのシリサイド層16に達するコンタクトホール18pを開孔し、次いで、コンタクトホール18n、18pの内部に金属膜を埋め込みプラグ19を形成した後、層間絶縁膜17の上層に堆積した金属膜をエッチングして配線層20を形成することにより、本実施の形態4のCMOSデバイスが略完成する。

【0065】このように、本実施の形態4によれば、選択エピタキシャル成長法によって、ゲート電極9n、9pを構成する多結晶シリコン膜の表面にシリコン層28を形成した後に、シリコン層28の表面にシリサイド層29を形成するので、ゲート電極9n、9pのゲート長よりもシリサイド層29の幅を相対的に大きくすることができる。これにより、細線効果によるシリサイド層29のシート抵抗の増加を抑制することが可能となる。

【0066】（実施の形態5）本発明の他の実施の形態であるCMOSデバイスの製造方法を図40～図43を用いて説明する。

【0067】まず、図40に示すように、前記実施の形態1と同様の方法でnチャネル型MISFETQnのゲート電極9nおよびソース・ドレインの一部を構成する第1のn型半導体領域10a、ならびにpチャネル型M

ISFETQpのゲート電極9pおよびソース・ドレインの一部を構成する第1のp型半導体領域11aを形成し、続いてその周囲を酸化シリコン膜12で埋め込む。ここまでの工程は、前記実施の形態1の図1～図8に示した工程と同じである。

【0068】その後、図41に示すように、酸化シリコン膜12の上層に、たとえば20～30nm程度の厚さのコバルト膜30をスパッタリング法で堆積した後、熱処理を半導体基板1に施して、nチャネル型MISFETQnのゲート電極9nおよびpチャネル型MISFETQpのゲート電極9pの表面に選択的にシリサイド層31を形成する。ここで、シリサイド層31の幅 $L_{sp}$ 、 $L_{sn}$ が、ゲート長 $L_g$ よりも大きくなるようにシリサイド層31を成長させる。さらに、コバルトシリサイドは、n型不純物が導入された多結晶シリコン膜上よりもp型不純物が導入された多結晶シリコン膜上で成長しやすいことから、p型の多結晶シリコン膜で構成されたpチャネル型MISFETのゲート電極9p上のシリサイド層31の幅 $L_{sp}$ が、nチャネル型MISFETQnのゲート電極9n上のシリサイド層31の幅 $L_{sn}$ よりも相対的に大きくなるように、上記熱処理温度および熱処理時間を調整してシリサイド層31を成長させる。

【0069】次に、図42に示すように、ウェットエッチングで未反応のコバルト膜30を除去した後、シリサイド層31をマスクとして酸化シリコン膜12をエッチングして、nチャネル型MISFETQnのゲート電極9nの側壁に酸化シリコン膜12からなる第1の側壁膜32aを形成し、同時にpチャネル型MISFETQpのゲート電極9pの側壁に酸化シリコン膜12からなる第2の側壁膜32bを形成する。上記第1の側壁膜32aの幅は、たとえば70nm程度であり、上記第2の側壁膜32bの幅は、たとえば100nm程度である。

【0070】その後、nチャネル型MISFETQnのソース・ドレインの他の一部を構成する相対的に高濃度な第2のn型半導体領域10bおよびpチャネル型MISFETQpのソース・ドレインの他の一部を構成する相対的に高濃度な第2のp型半導体領域11bを形成する。

【0071】次に、図43に示すように、nチャネル型MISFETQnの第2のn型半導体領域10bの表面およびpチャネル型MISFETQpの第2のn型半導体領域11bの表面に厚さ30nm程度のシリサイド層33を形成し、nチャネル型MISFETQnのゲート電極9nの表面およびpチャネル型MISFETQpのゲート電極9pの表面にシリサイド層33aを形成する。この後、図示はしないが、半導体基板1上に層間絶縁膜17を形成した後、コンタクトホールを開孔し、次いで、配線層20を形成することにより、本実施の形態5のCMOSデバイスが略完成する。

【0072】このように、本実施の形態5によれば、pチャネル型MISFETQpの第2の側壁膜32bの幅をnチャネル型MISFETQnの第1の側壁膜32aの幅よりも厚くすることにより、pチャネル型MISFETQpの第1のp型半導体領域11aのチャネル方向の長さを確保しやすくなる。これにより、pチャネル型MISFETQpのオフ電流（ゲート電極9pに正電圧を印加した時にゲート電流からドレインへ流れる電流）を低減することが可能となり、CMOSデバイスの低消費電力化を実現することができる。

【0073】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0074】たとえば、前記実施の形態では、CMOSデバイスの製造方法に適用したが、シリサイド層を有するいかなるデバイスの製造方法にも適用可能である。

【0075】また、前記実施の形態では、シリサイド層をコバルトシリサイドで構成したが、チタンシリサイドで構成してもよい。

【0076】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0077】本発明によれば、ゲート長が $0.15\mu\text{m}$ 以下のMISFETにおいて、所望する濃度分布を有する低濃度半導体領域と高濃度半導体領域とからなるソース・ドレインを形成することで、短チャネル効果を抑制することが可能となる。また、細線効果によるシリサイド層のシート抵抗の増加を抑制することが可能となる。これらにより、ゲート長が $0.15\mu\text{m}$ 以下の短チャネルMISFETを有する半導体装置の高信頼度化および高速化を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の実施の形態1であるCMOSデバイス

の製造方法を示す半導体基板の要部断面図である。

【図9】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図13】(a)は、本発明の実施の形態1であるnチャネル型MISFETを示す半導体基板の平面図、

(b)は、(a)のA-A'線におけるゲート幅方向の半導体基板の要部断面図、(c)は、(a)のB-B'線におけるゲート長方向の半導体基板の要部断面図である。

【図14】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図24】本発明の実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の実施の形態3であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の実施の形態3であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図27】本発明の実施の形態3であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の実施の形態3であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図29】本発明の実施の形態3であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図30】本発明の実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図31】本発明の実施の形態4であるCMOSデバイス

スの製造方法を示す半導体基板の要部断面図である。

【図32】本発明の実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図33】本発明の実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図34】本発明の実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図35】本発明の実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図36】本発明の実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図37】本発明の実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図38】本発明の実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図39】本発明の実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図40】本発明の実施の形態5であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図41】本発明の実施の形態5であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図42】本発明の実施の形態5であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図43】本発明の実施の形態5であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

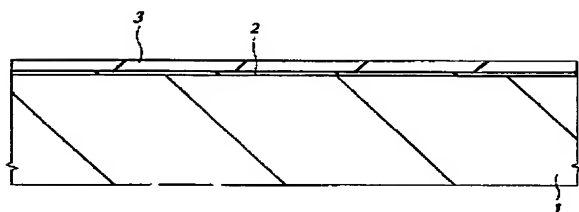
#### 【符号の説明】

- 1 半導体基板
- 2 酸化シリコン膜
- 3 窒化シリコン膜
- 4a 素子分離溝
- 4b 酸化シリコン膜
- 5 保護膜
- 6 p型ウェル
- 7 n型ウェル
- 8 ゲート絶縁膜

- 9n ゲート電極
- 9p ゲート電極
- 10a 第1のn型半導体領域
- 10b 第2のn型半導体領域
- 11a 第1のp型半導体領域
- 11b 第2のp型半導体領域
- 12 酸化シリコン膜
- 13 コバルト膜
- 14 シリサイド層
- 15 側壁膜
- 16 シリサイド層
- 16a シリサイド層
- 17 層間絶縁膜
- 18n コンタクトホール
- 18p コンタクトホール
- 19 プラグ
- 20 配線層
- 21n 擬似ゲート電極
- 21p 擬似ゲート電極
- 22 溝
- 23 ゲート絶縁膜
- 24 多結晶シリコン膜
- 25 シリコン層
- 26 シリサイド層
- 27 窒化シリコン膜
- 28 シリコン層
- 29 シリサイド層
- 30 コバルト膜
- 31 シリサイド層
- 32a 第1の側壁膜
- 32b 第2の側壁膜
- 33 シリサイド層
- 33a シリサイド層
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET

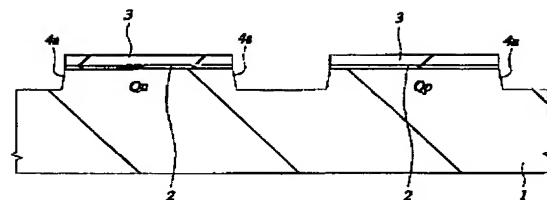
【図1】

図 1



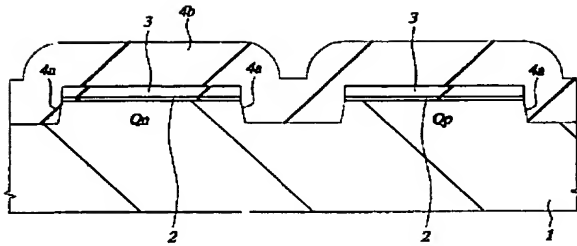
【図2】

図 2



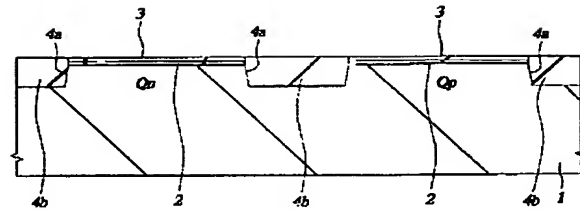
【図3】

図 3



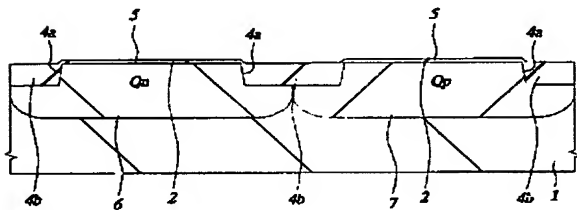
【図4】

図 4



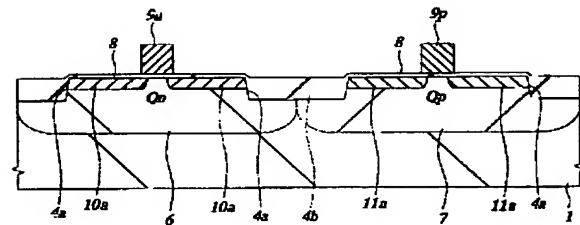
【図5】

図 5



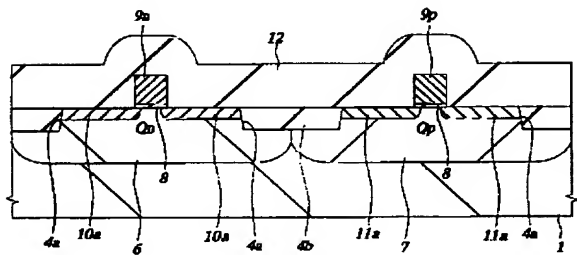
【図6】

図 6



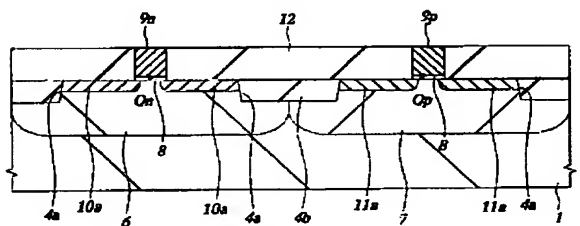
【図7】

図 7



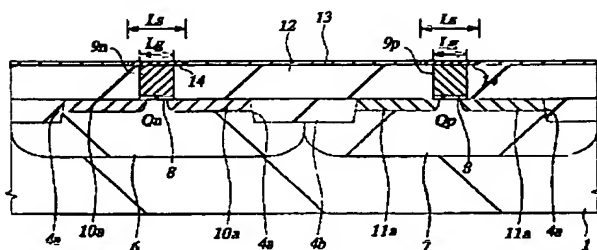
【図8】

図 8



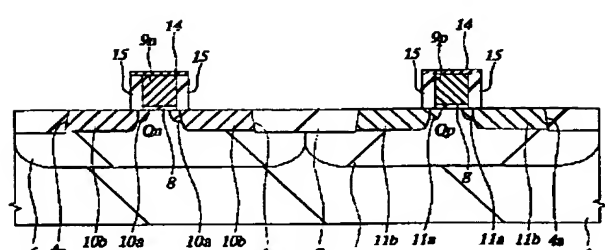
【図9】

図 9



【図10】

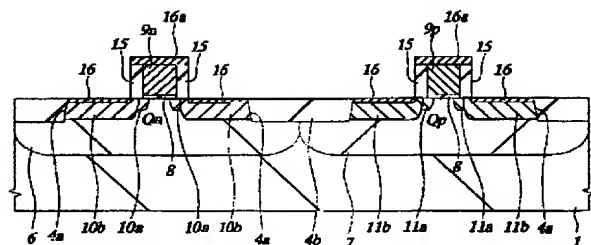
図 10



9a, 9p : ゲート電極  
14 : シリサイド層  
15 : 絶縁膜

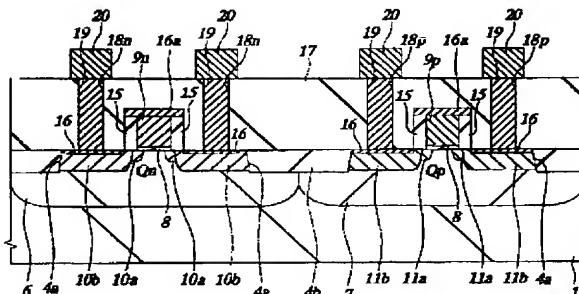
【図11】

図 11



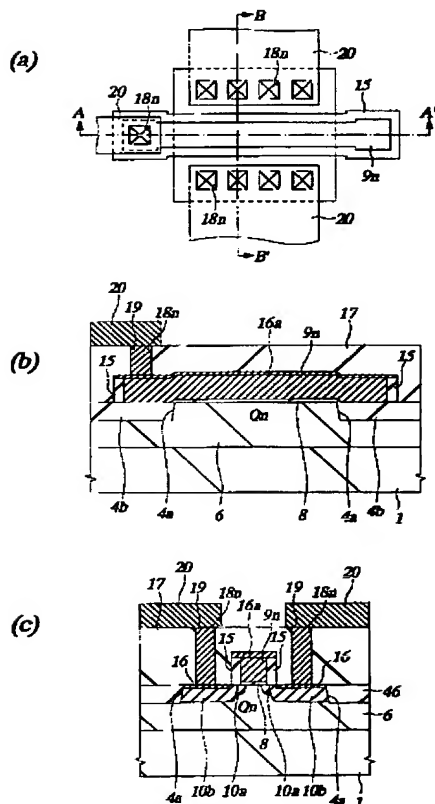
【図12】

図 12



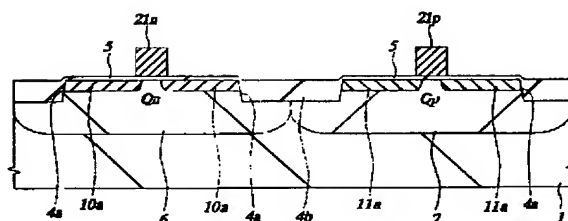
【図13】

図 13



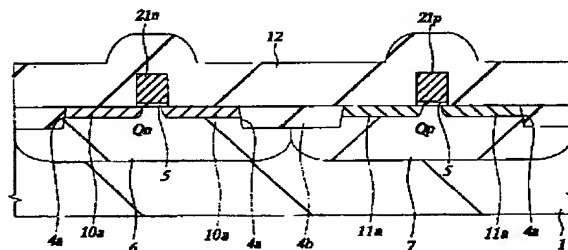
【図14】

図 14



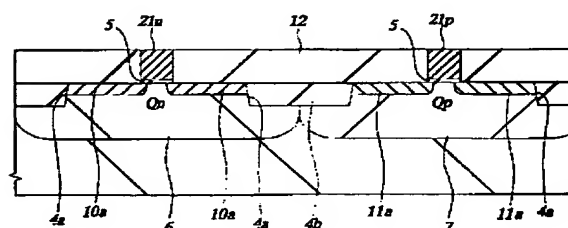
【図15】

図 15



【図16】

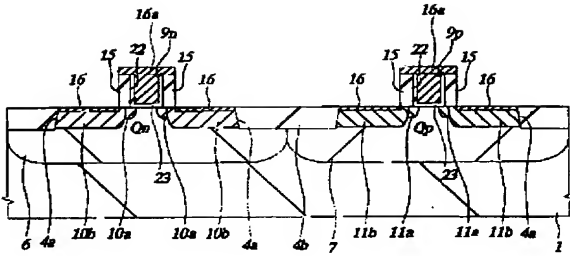
図 16





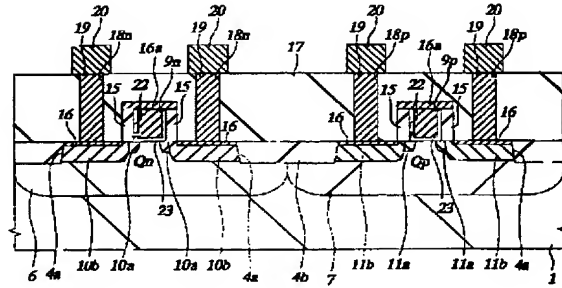
【図23】

図 23



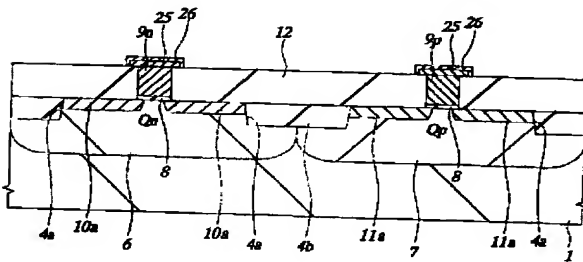
【図24】

図 24



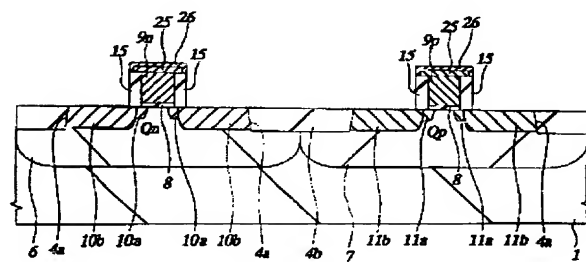
【図26】

図 26



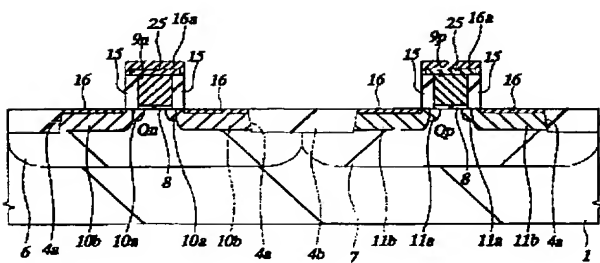
【図27】

図 27



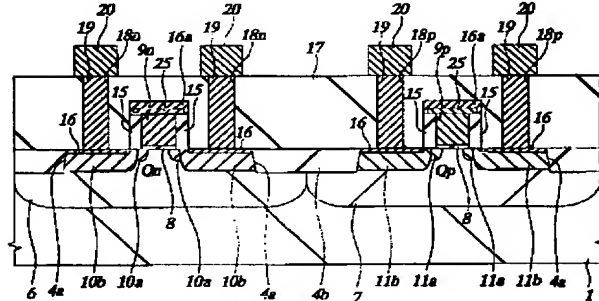
【図28】

図 28



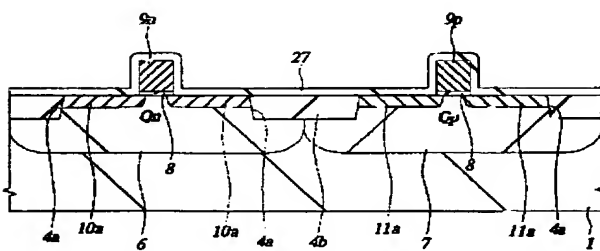
【図29】

図 29



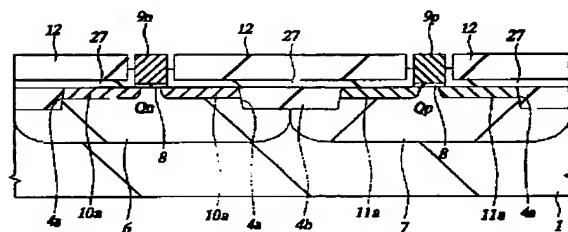
【図30】

図 30



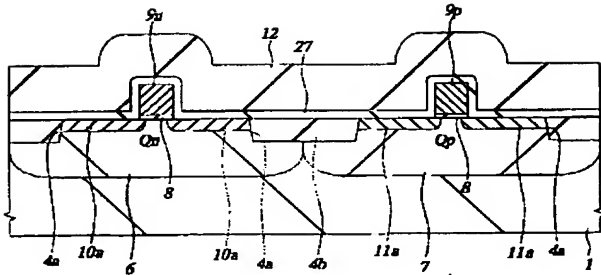
【図33】

図 33



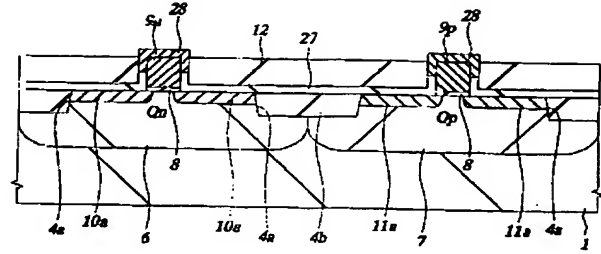
【図31】

図 31



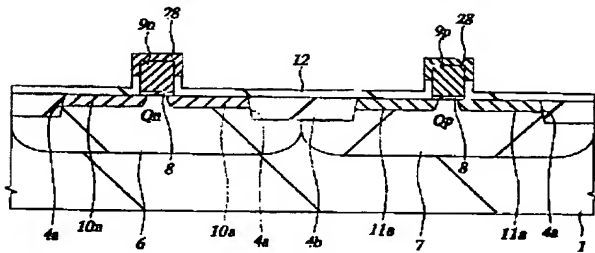
【図34】

図 34



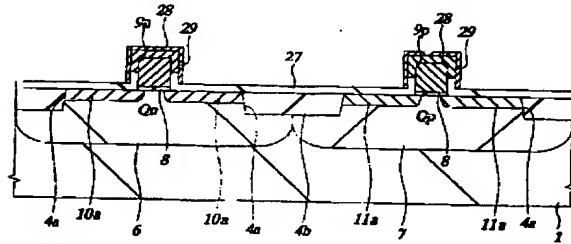
【図35】

図 35



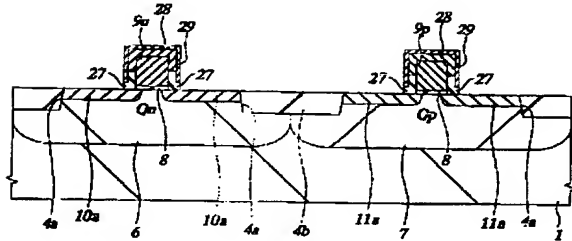
【図36】

図 36



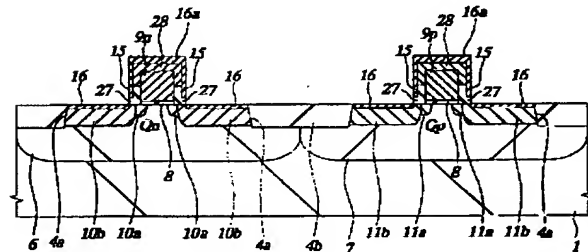
【図37】

図 37



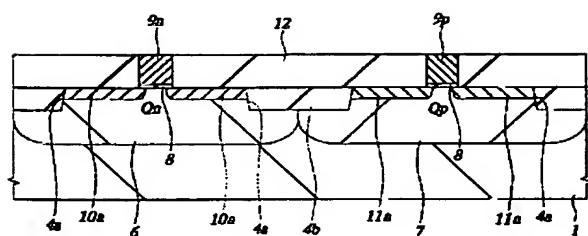
【図38】

図 38



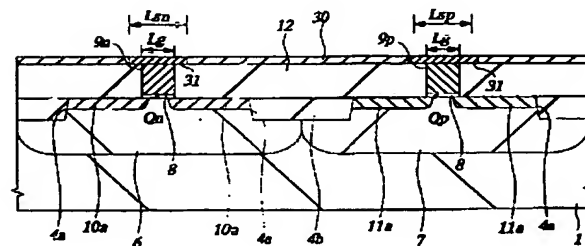
【図40】

図 40



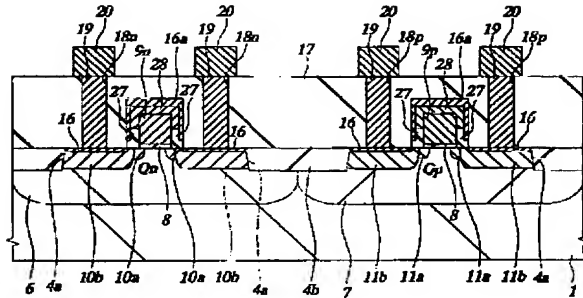
【図41】

図 41



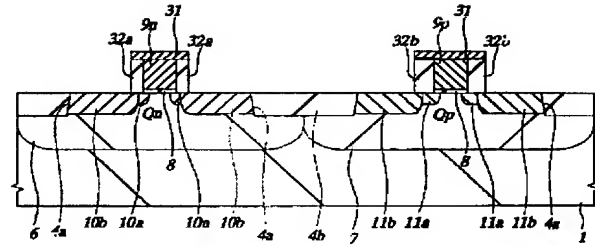
【図39】

図 39



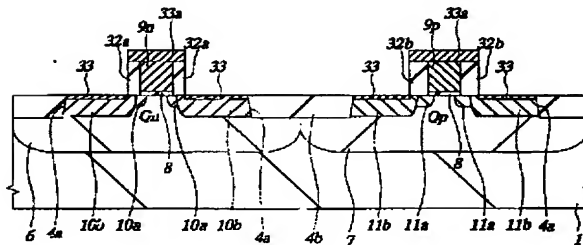
【図42】

図 42



【図43】

図 43



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

(参考)

H 01 L 29/78

3 0 1 P

(72) 発明者 中嶋 伸恵

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72) 発明者 吉田 安子

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

F ターム(参考) 5F040 DA06 DA10 DB03 DC01 EC01  
EC03 EC04 EC07 EC13 EC19  
ED03 ED04 EF02 EH02 EJ03  
EK05 FA01 FA02 FA05 FA07  
FB02 FB05 FC06 FC19  
5F048 AC03 BA01 BB01 BB06 BB07  
BB08 BB11 BC06 BC18 BE03  
BF06 BG14 DA25 DA27